

COMPOSITE HALL ELEMENT

Publication number: JP7022667

Publication date: 1995-01-24

Inventor: TAKEUCHI RYOICHI UDAGAWA TAKASHI

Applicant: SHOWA DENKO KK

Classification:

- international: **G01R33/07; H01L43/06; G01R33/06; H01L43/06;**
(IPC1-7): H01L43/06; G01R33/07

- European:

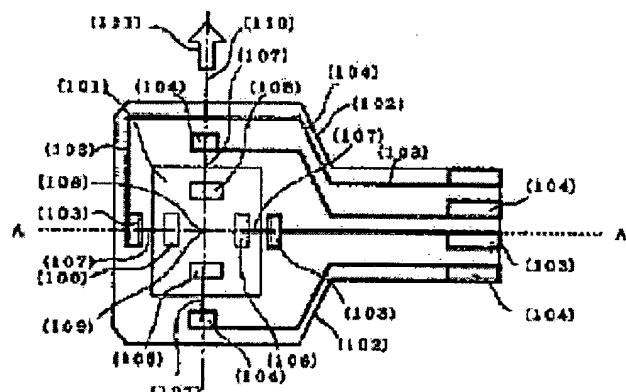
Application number: JP19930147895 19930618

Priority number(s): JP19930147895 19930618

Report a data error here

Abstract of JP7022667

PURPOSE: To realize high output of a Hall voltage by mounting each Hall element constituting a composite Hall element on a position which enables uniform and simultaneous detection of magnetic field which is a detection object. **CONSTITUTION:** A GaInxAs Hall element 101 is mounted on each of a front and a rear of a printed substrate 102 to make a center thereof coincide each other. As for a center 108 of a Hall element, both a center 109 of arrangement and a center 110 of magnetic flux are made to coincide each other in composing. At an end of the printed substrate 102, input/output electrodes of the element 101 are opposed to each of input/output wirings 103, 104 of a printed substrate. Thereby, input/output electrodes of the Hall element 101 and the printed wiring 103, 104 are electrically connected. Therefore, a Hall voltage can be output to the side of the output wiring 104 by making an operational current flow through the input wiring 103 of the printed substrate 102.



Data supplied from the esp@cenet database - Worldwide

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-22667

(43)公開日 平成7年(1995)1月24日

(51)Int.Cl.⁶
H 01 L 43/06
G 01 R 33/07

識別記号

府内整理番号
Z 9274-4M

8203-2G

F I

G 01 R 33/ 06

技術表示箇所

H

審査請求 未請求 請求項の数2 O L (全8頁)

(21)出願番号

特願平5-147895

(22)出願日

平成5年(1993)6月18日

(71)出願人

000002004

昭和電工株式会社

東京都港区芝大門1丁目13番9号

(72)発明者

竹内 良一

埼玉県秩父市大字下影森1505番地 昭和電
工株式会社秩父工場内

(72)発明者

宇田川 隆

埼玉県秩父市大字下影森1505番地 昭和電
工株式会社秩父研究所内

(74)代理人

弁理士 寺田 實

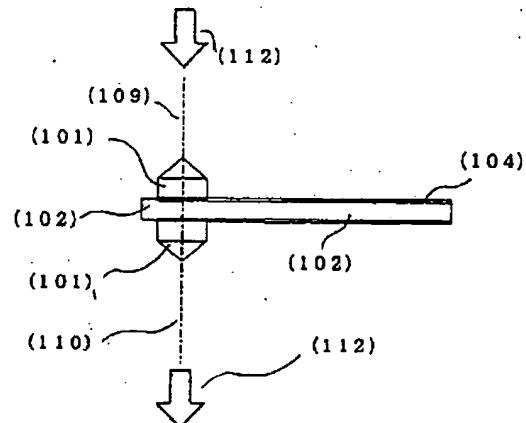
(54)【発明の名称】 複合ホール素子

(57)【要約】

【目的】 GaInAsホール素子を複合化しホール電
圧の高出力化を図る。

【構成】 磁場を均等に且つ同時に感知できる位置に複
数のホール素子を同一の支持基体上に配置し複合化され
たホール素子となし、合成されたホール電圧を出力す
る。

【効果】 従来の如くホール出力電圧を増幅させる外部
回路を付帯せずともホール電圧の高出力化を果たせる。



【特許請求の範囲】

【請求項1】 III-V族化合物半導体ホール素子を同一の支持基体上に複数個配置した素子であって、該複数個のホール素子が被検知対象とする磁界を均等に、且つ同時に感知可能なように対称位置に配置されていることを特徴とする複合ホール素子。

【請求項2】 III-V族化合物半導体がヒガリウムインジウム(GaInAs)とリン化インジウム(InP)とのヘテロ接合を具備してなるGaInAsホール素子であることを特徴とするGaInAs複合ホール素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ホール素子を複数個接合させた複合ホール素子に係わり、特に高精度の回転センサー、電流センサーや磁界測定子など産業界で利用されるセンサー等にとって最適な、高いホール出力電圧が得られる新規な複合ホール素子に関する。

【0002】

【従来の技術】磁界を検知しその強度に応じて電気信号を発生する、いわゆる磁電変換素子の一つとしてホール(Hall)素子が知られている。このホール素子は磁場を印加した際に、ホール素子を構成する半導体内の電子の運動によって発生するホール(Hall)電圧を被検知量とする一種の磁気センサーであり、磁気を検出媒体とする回転、位置検出センサー或是電流センサーとしての他、磁界強度測定用の測定子(プローブ; probe)などとして応用され、産業界で広範囲に亘り利用されている。

【0003】ホール素子用の半導体材料としてはシリコン(Si)、ゲルマニウム(Ge)などの元素半導体の他、アンチモン化インジウム(InSb)、ヒ化インジウム(InAs)やヒガリウム(GaAs)等の、元素周期律表の第III族に属する元素と同じく第V族に属する二つの元素を化合させてなるIII-V族2元化合物半導体も使用されている。

【0004】しかし、従来の化合物半導体からなるホール素子を見れば、用いる半導体の物性に依ってホール素子の特性上に一長一短が存在する。例えばGaAsから成るホール素子はGaAs半導体のバンドギャップが比較的大きい事により素子特性の温度変化は少ないものの、逆に電子移動度が多少低いため積感度はInSbから成るホール素子に比較して低いという欠点がある。一方、InSbホール素子はInSb半導体のバンドギャップが低いため特性の温度変化は大きいが、高い積感度が得られる利点を有している。

【0005】最近では自動車エンジンの精密な回転制御等の高温環境下に於ける精密センシング技術の必要性が高まり、高いホール電圧を出力する能力を有し、且つ温度による素子特性の変化を低く抑制した新たな高性能ホ

ール素子が要望されるに至っている。ここでホール電圧は半導体材料のホール(Hall)係数に依存し、ホール係数が大きい程ホール電圧の出力能力は高い。また、このホール係数は半導体材料の電子移動度に比例して増加する。従って高いホール出力電圧を得るには、即ち高感度なホール素子を得るには高い電子移動度を発現する半導体材料を使用する必要がある。

【0006】このため産業界からの高性能ホール素子の要望と相まって半導体材料の物性面からの検討も進み、極く最近では従来と同様のIII-V族化合物半導体でも三種類の元素を混合させてなるヒガリウム・インジウム(GaInAs)三元混晶とリン化インジウム(InP)から構成されるヘテロ接合を具備した材料を、新たな高感度ホール素子の材料として応用する試みもなされている(奥山忍他、1992年秋季第53回応用物理学会学術講演会予稿集No.3(応用物理学会発行)、16a-SZC-16、1078頁参照)。この新たなGaInAsホール素子は特性の温度変化も比較的小小さく、且つまた室温移動度が極めて高いために従来にない優れた積感度をもたらす。

【0007】この様なGaInAsホール素子は、その母体材料が有する優れた材料特性を利用してホール電圧の出力を向上させる一つの例であるが、材料面からのホール出力電圧の増加策が試みられている他、従来からの一般的に実施されているホール出力電圧を増大させるための手法としては、ホール出力電圧を增幅させる機能を有する外部回路を付帯させる方法がある。この様な增幅回路には通常、增幅器などの電気部品が含まれており、ホール素子のホール出力電圧を増幅する作用を呈するものの、相当の面積や体積を占有する外部回路をホール素子に付帯させなければならないという回路上の複雑さや煩雑さを伴うと共に、ホール素子自体とこの様な外部回路が占有する面積を考慮すると、センサー等の小型化に対する昨今の要求には対応し難い。

【0008】また、或る支持基体上にホール素子を複数個配置せしめ、それらを相互に電気的に結線し複合化ホール素子となし、合成されたホール電圧の出力を得る方法もある(「モーターのABC」P.114 講談社ブルーバックス参照)。しかし、従来からの複合化されたホール素子は同一の支持基体上に複数個のホール素子が配置されているものの、同一支持基体上で空間的な広がりをもって配置されているため、被検知対象とする磁界(磁界強度)を同時に且つ均等に感知出来るには至っていない。即ち、複数個のホール素子が配置された複合ホール素子と言っても、個々のホール素子からのホール電圧が合成された出力が同時期に得られる形式とはなっておらず、個々のホール素子からのホール電圧が或る時間的間隔をもって単独に出力されるに過ぎない形態となっている。

50 【0009】

【発明が解決しようとする課題】 GaInAs ホール素子の様に単体でも高いホール電圧を出力できるホール素子を利用し、ホール電圧を増幅する外部回路を付帯させる極端な大型化を伴う手法に依らずに、従来の複合化ホール素子の欠点を克服し、また新たな考案を加えることによりホール電圧の高出力化を図るのが本発明の課題である。

【0010】

【課題を解決するための手段】 本発明では、例えば上記の高感度特性、即ち高いホール電圧を出力する能力を本来備えてなる GaInAs ホール素子を、同一基体に複数個配列し複合化ホール素子を形成するに際し、複合化ホール素子を構成する個々のホール素子を検知対象とする磁界（磁界強度）を均等に且つ同時にそれを検知可能とする位置に載置するという新たな載置方法を施すことにより複合ホール素子と成すという方法により、各ホール素子のホール電圧の出力を合成させ、素子の占有する面積を極端に増大させることなく簡便に高出力化を達成するようにした。

【0011】 通常、 GaInAs / InP ヘテロ接合ホール素子の形成に当たっては半絶縁性を有する高抵抗の InP 単結晶基板が使用される。実用上は比抵抗が $10^6 \Omega \cdot \text{cm} \sim 10^7 \Omega \cdot \text{cm}$ 程度の InP 単結晶の基板を用いるのが一般的であるが、ホール素子用としては $10^4 \sim 10^5 \Omega \cdot \text{cm}$ 程度の比較的低抵抗の単結晶が用いられることがある。これらの結晶は液体封止チョクラルスキー (Liquid Encapsulated Czochralski ; LEC) 法や、最近では VB (Vertical Bridgeman) 法と称される垂直ブリッジマン法等により容易に製作できる。また、 Fe 添加 InP 単結晶中の Fe 不純物が結晶層の電子移動度等の電気的特性に与える悪影響が懸念される場合にあっては、例えば InP 単結晶を塩酸等により溶解し、純水などで定溶とし原子吸光分光分析法や高周波誘導アルゴンプラズマ分光分析法などの湿式機器分析法、或は 2 次イオン質量分析法など物理機器分析法等により Fe 不純物の濃度を定量分析し、所望の Fe 濃度を有する結晶を選択すれば事足りる。

【0012】 この InP 単結晶基板上に InP 層と n 形 Ga_xIn_{1-x}As 層とを堆積しヘテロ接合を形成するが、これらのエピタキシャル層の積層順序に制限はなく、 InP 単結晶基板上に先ず InP 層を成長させ、然る後 GaInAs を堆積させても良く、これとは逆の順序で堆積させても差し支えはない。しかし、通常は感磁部とする GaInAs 層の電子移動度を向上させるために、 InP 単結晶基板からの Fe 不純物の GaInAs エピタキシャル成長層への拡散の抑制などを期して、先ずは InP 単結晶基板上に InP をバッファ (buffer) 層として堆積するのが一般的である。このバッファ層を設けることにより結晶欠陥等のエピタキシャル成長層への伝播を抑制するなどの効果を生じるため、 GaInA

s 層の電子移動度をいたずらに低下させずに、 GaInAs ホール素子の高感度特性を保持できるなどの利点を招く。然る層の構成を有するウエハに、更にキャリア濃度が $\sim 10^{19} \text{ cm}^{-3}$ の低抵抗 n 型 GaInAs 層をノンアロイオーミックコンタクトの形成に供するために成長させる。

【0013】 上記の InP バッファ層並びに GaInAs 層の成長方法には、特に制限はなく、液相エピタキシャル成長法 (Liquid Phase Epitaxial ; LPE 法) 、分子線エピタキシャル成長法 (Molecular Beam Epitaxial ; MBE 法) や有機金属熱分解気相成長法、いわゆる MOVPE (Metal Organic Vapor Phase Epitaxial ; MOCVD 法) とか OMVPE 法とも呼ばれる場合もある。）、或はまた MOVPE と MBE 双方を複合させた MO-MBE 法などが適用できる。しかし、現状では蒸気圧が比較的高いリン (P) を含む InP 等の半導体薄膜の成長には MBE 法よりも化学量論的な組成制御性の観点からもっぱら MOVPE 法が多用されており、特に In の出発原料として結合価が 1 価のシクロペンタジエニルインジウム (C₅H₅In) を使用する MOVPE 法（特開平 1-94613 参照）では、従来困難とされていた常圧（大気圧）下に於いても高品位の InP 並びに GaInAs などを得ることができる。また、 InP 層を例えば MOVPE 法で成長させ、 P を含まない Ga_xIn_{1-x}As 層は MBE 法で成長させるなど、層毎に成長方法を異にしても支障は無く、唯一の成長法で当該ヘテロ接合を形成する各層を設ける必要はなく、層毎に成長方法を異にしても良いのは勿論である。

【0014】 また、前記 Ga_xIn_{1-x}As の混晶比 x については、 $0.37 \leq x \leq 0.57$ とするのが望ましい。何故ならば、 InP に格子整合する Ga_xIn_{1-x}As の混晶比 $x = 0.47$ から混晶比がずれるに伴い、 Ga_xIn_{1-x}As と InP との格子定数の差、即ち格子不整合度も顕著となり多量の結晶欠陥等を誘発し結晶性の低下を招くばかりか、電子移動度の低下等の電気的特性をも悪化させ、ホール素子の特性上、積度の改善に多大な支障を来すからである。

【0015】 また、本発明に係る上記 Ga_xIn_{1-x}As 層の膜厚については特段の制限はない。但し、ホール素子の実際の製作に当たっては素子間を電気的に絶縁するためメサエッティングと称する特定領域の結晶層を除去するための工程が一般的に採用されるが、この際素子間絶縁のためにメサエッティングにより除去すべき導電性を呈する層の膜厚、とりもなおさずエピタキシャル成長層の全体的な厚みが増すと必然的にメサエッティングに要する時間の増大を伴い、もって結晶方位に因るエッティング量並びにエッティング形状に顕著な差異を生じる。このことがひてはホール素子の重要な特性の一つである不均衡率の増大をもたらし、素子特性の高品位化を妨げると共に良品素子率の低下を招く。従って本発明のヘテロ

構造を構成するにあたっては、その構成要素である $Ga_1 In_{1-x} As$ 層や InP 層の合計の膜厚をおおよそ 5 μm より薄く設定すると好結果が得られる。

【0016】上述の如く、 InP 単結晶基板上に成長させた低抵抗 $Ga_1 In_{1-x} As$ 、 $Ga_1 In_{1-x} As$ 感磁部層及び InP パッファ層から構成されてなるヘテロ接合エピタキシャルウエハを母体材料とし $Ga_1 InAs$ ホール素子を製作する。この製作に当たっては公知のフォトリソグラフィ技術、エッチャング技術等の加工技術を駆使し、先ず入・出力電極部となす領域の低抵抗 $Ga_1 In_{1-x} As$ 層のみを残存させる。然る後ホール素子としての機能を発揮する $Ga_1 In_{1-x} As$ 感磁部層並びに InP 層にいわゆるメサ (mesa) エッチャングを施し、当該素子機能領域をメサ状に加工する。このメサ構造を得る方法につきここで説明を加えると、先ず当該母体材料の最表面である低抵抗 $Ga_1 In_{1-x} As$ 層の表面に一般的なフォトレジスト材を塗布し、その後通常のフォトリソグラフィー技術により入力用並びに出力用電極の形成領域のみの該レジスト材を残存させ、それ以外の領域に有るレジスト材は剥離し除去する。然る後、無機酸を用いて低抵抗 $Ga_1 In_{1-x} As$ 層に対しエッチャングを施す。このエッチャングによりフォトレジスト材が除去された領域にある $Ga_1 In_{1-x} As$ 層は選択的に除去され、電極形成領域のみ上記の低抵抗 $Ga_1 In_{1-x} As$ 層が存在することとなる。

【0017】次に、再び同様のフォトレジスト材でウエハ全面を被覆し、公知のフォトリソグラフィー技術を利用した上で、上記の低抵抗 $Ga_1 In_{1-x} As$ コンタクトを無機酸により選択的に除去した如く、 $Ga_1 In_{1-x} As$ 感磁部層及び InP パッファ層をエッチャングにより除去した。このエッチャングにより電極形成部及び感磁部領域はそれらの領域を垂直方向の断面から見れば台形状、いわゆる順メサ形状か結晶の軸方向に依つては逆台形状のいわゆる逆メサ状の台地として残存させ得る。このメサエッチャングにより電極形成部並びに感磁部領域からなる素子機能部の電気的絶縁性を確保できる。しかし、当該メサエッチャングについては成長層の全厚が 5 μm を超えると上記の如く結晶軸 (結晶方位) に基づくエッチャング形状の差異が顕著となり、これによりホール素子の特性の一つである不平衡電圧の増加を招き、もって不平衡率の悪化をもたらす。よって、前述の様に当該ホール素子の製作に供するエピタキシャル成長層の全体の膜厚は、概ね 5 μm 以下に設定した方が不平衡率を増大させないという点で好都合である。

【0018】然るメサエッチャングを施した後、入力用並びに出力用電極を形成する。この形成に当たってはメサエッチャングされたウエハの表面全体に一般的なフォトレジスト材を塗布する。然る後、電極を形成すべき領域を公知のフォトリソグラフィー法によりパターニング (patterning) し入・出力電極を形成する領域に在るフォト

レジスト材のみを剥離、除去し、直下に存在する高キャリア濃度の低抵抗 $Ga_1 In_{1-x} As$ 層の表層を露出させる。

【0019】次に電極材料となす単体の Al を当該加工を施したレジスト材上に真空蒸着させる。ここでは電極材料として Al を使用したが、電極材料としては別段、これに限定されることはなく Al であっても勿論差し支えはない。ここで単体金属によってもオーミック性を呈する電極が得られるのは上記の高キャリア濃度を有する低抵抗の $Ga_1 In_{1-x} As$ 層をコンタクト層として設けていることに因るものであって、この様なコンタクト用の高キャリア濃度層を設けてない場合にあっては単体金属によりオーミック性を呈する電極を得るのは困難に近い。次に、 Al を真空蒸着した後、レジスト材を剥離するとの併行して、いわゆるリフトオフ (lift off) 法を利用して当該レジスト材上に被着された Al 膜を除去する。この時点でアロイングを施さずとも Al 電極にはオーミック性が既に付与されている。ちなみにこれらの Al 電極の形状は長辺が約 200 μm で短辺が約 70 μm の長方形の平面を持っているが、電極の平面形状は特にこれに限定されず多角形でも円形でも、或はまた梢円形などであっても支障はない。

【0020】次に公知のプラズマ CVD 法により絶縁性を有する二酸化珪素 (SiO_2) を堆積させウエハ表面を被覆する。本発明では一般的な SiO_2 を絶縁被覆膜として採用したが他の絶縁性を有する膜、例えば窒化珪素 (SiN) などであっても良い。次に、上記の如く製作された SiO_2 絶縁膜を一般的なレジスト材で被覆する。然る後、電極部と個々の素子に分離する、いわゆるダイシング (dicing) のために必要なダイシングラインを形成するための位置に相当する部分のレジスト材を公知のフォトリソグラフィー技術により除去し、直下の SiO_2 絶縁膜を露出させる。更に、露出した SiO_2 絶縁膜をフッ化水素酸 (化学式 HF) に浸し、当該部分の SiO_2 絶縁膜を溶解し除去する。これにより入・出力電極の表面並びにダイシングラインの形成部にあっては $Ga_1 In_{1-x} As$ 層表面を露出せしめる。実際に個々の素子に分離するにあっては、ダイシングラインに相当する部分に露出している $Ga_1 In_{1-x} As$ 層を適当な無機酸を利用しエッチャング除去すれば良い。然る後、 $Ga_1 In_{1-x} As$ 層の直下にある InP 層をこれまた無機酸により除去する。通常は、更にエッチャングを進行させ InP 単結晶基板の表層部の一部迄除去する。この様に図るのはダイシングに使用するスクライバー (slicer) やブレード (blade) などが素子の分離の際にエピタキシャル成長層やヘテロ界面に機械的な損傷を与えるのを予め低減するためである。

【0021】かかる加工を施された後、上記のダイシングラインに沿って公知のスクリーピング (scribing) を施し、製作されたホール素子を個々に分離しホール素

子チップ (chip) となす。この様にして得られた素子チップの複数個を、例えば2個の素子チップを回路用配線を印刷したいわゆるプリント基板の様な支持体にマウント (mount) する。このマウントに際しては $\text{Ga}_1\text{In}_{1-x}\text{As}$ ホール素子の製作に基板として用いた InP 単結晶の裏面側をマウントしても構わない。また、 $\text{Ga}_1\text{In}_{1-x}\text{As}$ ホール素子の素子が形成されてなる表面側をマウントしても良く、更には一方のチップを素子の表面側で支持し、他方を InP 基板の裏面側で支持しても差し支えはない。また、マウントする際のチップの支持体上の配置に関しては磁場を均等に感知するように位置せしめればよい。例えば検知対象となる磁場が直線的に移動する様な場合には、磁場の移動方向に沿って、チップの中心を一致させて配置させ磁場を均等に検知させる手法もある。一方、検知対象とする磁場が円運動をし回転している様な場合に於いては、ある磁界の回転運動による磁場の移動に対応する支持体上のしかるべき円周上の位置にホール素子を配置すれば良い。また、配置された複数個のホール素子が同時に磁界を検知出来る様にするには被検知体とする磁界の均一性が維持される範囲にホール素子を複数配置すれば良い。

【0022】チップに限らずチップを適当な樹脂等で囲繞した、いわゆるモールド品を複数個同様な方法で配置させても良い。いずれにしても複合化ホール素子をなす各単体ホール素子が均一な磁界強度に曝される如く配置を施す必要がある。また各単体ホール素子が磁界を同時に感知出来る配置とする必要がある。また、各単体ホール素子の電気的配線に関しては、これらの配置を勘案して支持体として供するプリント基板等のプリント配線を適宜変更すれば良い。

【0023】更には、例えばプリント基板の様な同一の支持体の表面側並びに裏面側の双方に、複数個のホール素子を配列せしめ複合化ホール素子を形成しても良く、ホール素子を複合化させるにあたっての支持体への配置は、上述の如く磁場を均等に感知できる配置とするのが効率的であり、検知対象とする磁場の移動方向に鑑みてチップの中心を一致させて直線状に、或はまた円周上に同心円的に、適宜配置させれば良い。但し、均一な磁界強度が得られる空間的領域内に複合化せざることが、各単体ホール素子に同時に磁界を検知させるには必須である。何故ならば、複合化されたホール素子を構成する各ホール素子の磁界の検知するタイミングにずれが生ずると言うことは、ホール電圧の出力周期が各ホール素子で異なることを意味し、単なる出力の合成では効率良く高出力化が果たせないからである。

【0024】また、本発明に係る複合体ホール素子に供する支持体自体は配線部以外は絶縁されている必要がある。当然のことながら支持体は検知対象とする磁気に悪影響を及ぼす様な材質であってはならないし、熱的な環境下での使用を考えると熱的な耐性も要求される。特

に、強磁性体から成る材料を支持体として採用した場合、それによる集磁作用により見かけ上ホール素子のホール出力電圧を増加させる効果がある反面、磁気検出の応答性を損なう結果を招く場合がある。また、 InSb ホール素子に比較し温度特性に優れるため高温環境下でも使用される GaAs や $\text{Ga}_1\text{In}_{1-x}\text{As}$ ホール素子は、使用環境温度の上限が概ね 150°C 近傍であることから、少なくともこの様な温度で軟化を呈する支持体では不都合である。磁気特性、温度特性、電気的特性を総合して考慮するとセラミック材料などが支持体として適当な材料の一つである。

【0025】本発明に係る複合化されてなる新たな $\text{Ga}_1\text{In}_{1-x}\text{As}$ ホール素子のホール出力電圧を測定すると、2個のホール素子チップを同一の支持体にマウントしてなる複合ホール素子に於いては、単体のホール素子のホール電圧の総和に相当する、単体のホール素子が出力するホール電圧の2倍の合成ホール電圧が出力された。このことは、磁界を均等に且つ同時に検知可能とする配置をもって複合化させたことに依るものである。従って、旧来の如くホール電圧を増幅するための外部回路を具備させずとも、簡便な手法に依りしかもそのために従来の如くの極端な占有面積の増大を伴わずにホール電圧の高出力化が果たされることとなる。

【0026】

【作用】単体のホール素子を複数個配列させるという簡便な方法で複合ホール素子となすことに依り、複合化された素子個数に応じた合成されたホール電圧を出力させる作用を有す。

【0027】

【実施例】以下、本発明を磁界測定用の測定子 (プローブ) についての実施例を基に具体的に説明する。ここでは、2個の GaInAs ホール素子を複合化させた例につき説明する。2個の GaInAs ホール素子を複合化させるに際し、それらの配置方法には同一支持体平面上に直列的に隣接して配置する方法、或はまた同一支持体の表裏に配置する方法などが考えられるが、ここでは平行移動している磁束や磁束が円弧運動を描いて移動している場合の双方に好都合な、同一支持体の表裏面に配置した例を述べる。複合化させる場合の配置上の留意点を前もって述べるが、磁束の平行もしくは円弧状等の移動形態に拘らず、磁界を均等に感知出来かつ磁束の中心と複合化させたホール素子の配置の中心を一致させることが肝要である。

【0028】(実施例1) 図1は2個の GaInAs/InP ヘテロ構造ホール素子を、支持体としたプリント基板の表・裏面に各々1個づつ配置してなる複合ホール素子の模式的な平面図を示す。また、図2は図1に掲げるホール素子の破線 $A-A'$ に沿う垂直方向の断面模式図である。図1の(101)は、複合化ホール素子の形成にあたり使用した単体の GaInAs と InP とのへ

テロ接合からなる高感度の GaInAs ホール素子である。ちなみにこれらの GaInAs ホール素子は単体状態で $1.0 \sim 1.1 \text{ k}\Omega$ の入力抵抗を有し、また 1 mA の動作電流を流通させた場合 $1 \text{ k} \cdot \text{Gauss}$ の磁界強度下で 70 mV のホール電圧を出力する能力を備えている。この様な特性を有する GaInAs ホール素子を支持体として用いたプリント基板 (102) の表・裏面に 1 個づつマウントした。表・裏面側のホール素子 (101) はその中心 (108) が互いに一致する様に載置されており、勿論磁場を均等に且つ同時に検知する配置となっている。

【0029】更にはそのホール素子の中心 (108) は複合化に当たっての配置の中心 (109) ともなり、且つ素子の移動する磁束の中心 (110) とも一致させてある。この場合は、磁束が或る一定点を中心として、その中心から一定の距離を維持しながら円弧を描いて移動し、磁束がプリント基板支持体 (102) に対して垂直に印加されている場合の配置を記したが、平行移動している磁束を感知する場合においても事情は変わらず、複合化ホール素子を得るための配置に当たっての基本方式に変わりはない。プリント基板支持体 (102) の表・裏面の表層にはホール素子 (101) に動作電流を入力するための入力用配線 (103) 及びホール電圧を出力する出力用配線 (104) が印刷されている。これらのプリント配線 (103 及び 104) の端部は図 1 に示すような端子状となっている。このプリント基板 (102) の先端に GaInAs 素子 (101) を同素子の入力電極及び出力電極がプリント基板 (102) の入力用配線 (103) 及び出力用配線 (104) に各々対向させて配置すると共に、一般的な導電性のハンダペーストを使用し表面実装技術を駆使してマウントした。

【0030】これにより GaInAs ホール素子 (101) の入・出力電極とプリント基板 (102) の表層に形成されたプリント配線 (103 及び 104) とは電気的に結線されたことになる。従って、プリント基板 (102) の入力用配線 (103) を通じて動作電流を流通せしめることにより、出力用配線 (104) 側にホール電圧が出力されることとなる。上記の如く当該単体の GaInAs ホール素子の積感度は $70 \text{ mV}/\text{mA} \cdot \text{kGauss}$ であるから、例えば 5 mA の動作電流を流通せしめた場合、 $350 \text{ mV}/\text{kGauss}$ のホール電圧が出力用端子 (104) に出力されることとなる。これはとりもなおさず 2 個の GaInAs ホール素子を複合化させるに際し、当該ホール素子 (101) の配置の中心 (109) と感知対象とする磁場 (磁束) の中心 (110) とを一致させ、磁束を均等に感知可能とする配置方式を採用したからに他ならない。本実施例では、1 つの支持体としたプリント基板 (102) の表面及び裏面の双方に、GaInAs ホール素子 (101) を各々 1 個づつ合計 2 個を実装しているため、出力され

るホール電圧は動作電流を 5 mA とした際には、 350 mV の倍となる。即ち、何等のホール出力電圧の増幅するための外部回路を設けなくとも、磁場を均等に且つ同時に感知する配置とすることによりホール電圧の出力を倍増させることが出来る。

【0031】この様な倍増されたホール電圧の出力を得るには、上記の各 GaInAs ホール素子 (101) の出力用配線 (104) の端子間を電気的に直列に接続させても良く、また測定子に本来付属しているホール電圧の検出回路上に於ける簡単な回路操作によっても構わない。且つまた磁界強度測定に供するプローブ用途の支持体に応用する場合、支持体の数を増加させる必要も無く、複合化のためにホール素子の占有する体積の極端な肥大化を招くことなく高出力化が達成される利点がある。尚、本実施例では、支持体としたプリント基板の表・裏面に 1 個づつ計 2 個の GaInAs ホール素子のみを実装させたが、実装するホール素子の数量はこれに限定することなく、所望するホール出力電圧値やホール素子との結線のために施す支持体の電気配線の密度等を勘案し実装する素子数を決定すれば良いことである。また、実装する基体もプリント基板に限定されず適宜選択すれば良い。但し、どの様な支持体を利用する場合にあっても感知対象とする磁束を均等に検知するために、例えば磁束の移動方向の中心と複合化に当たってホール素子の配置の中心を一致させるなどの配慮が必要である。

【0032】(実施例 2) 次に、複合化に当たっての応用形態の他の一例を示す。本例では同一のプリント基板支持体上に素子を複合化するに当り、単体素子の基板として使用した単結晶基板の裏側を支持体上にマウントする例を示す。図 3 にマウントを施した複合化ホール素子の平面概略図を示す。また、図 4 には図 3 に示す B-B' 方向に沿う垂直方向の模式的断面図を示す。図 3 に示す如く、ホール素子 (101) は支持体としたプリント基板 (102) に接着した GaInAs ホール素子を指す。ホール素子 (101) は実施例 1 と同じく素子の中心 (108) を一致させて配置させてある。また、ホール素子の中心 (108) は、この場合ホール素子の複合化に当たっての配置の中心 (109) と一致し、且つまた移動する磁束の中心 (110) と一致させてあり、磁場を同時に且つ均等に感知する配置となっている。ちなみにここでは磁界 (磁束) が支持体 (102) の表面に平行に移動しながら、ホール素子 (101) に対して垂直方向、即ちホール素子 (101) を垂直に貫く方向に磁束が通過する場合を想定している。

【0033】また、複合化させる方法であるが、ここでは GaInAs ホール素子 (101) の製作に使用した InP 単結晶基板側をプリント基板 (102) に接着している関係上、ボンディングにより然る配線を施す必要がある。ここで (103) 及び (104) は入力用及び出力用のプリント配線を示す。これらの配線の先端は図 3

11

に示す様に端子状態となっている。但し、配線(103及び104)はホール素子(101)を配置せしめるための領域の直下に至る迄は配線されておらず、これらのプリント配線(103及び104)とホール素子(101)の入力電極(105)並びに出力電極(106)との電気的な結線(107)は、一般的なワイヤボンディング法に依った。この様に図るのは前項に記載の様に素子形成領域ではなく、半絶縁性を有するInP単結晶の裏面側をマウントしているために、表面実装により直接プリント配線に結線出来ないことによる。この様に1個の支持基体の表・裏面側に各々、1個づつのGaNAsホール素子(101)を接着し、ホール素子(101)の入力電極(105)と入力用プリント配線(103)とを、また出力電極(106)と出力用プリント配線(104)をそれぞれボンディング結線してなるホール素子プローブを作成し、特性の評価に供した。その結果、単体のホール素子(101)が有するホール電圧の倍に相当するホール電圧が outputされるのが確認された。このような合成出力が得られるのは、感知対象とした磁束の移動方向(111)の中心(110)とホール素子の配置の中心(109)とを一致させ、磁束を均等に感知可能としたことによるものである。

【0034】同一支持体に接着させるホール素子チップの個数を支持体の片側に2個づつ合計4個とし、直線状に配置した場合にあっても、更には片側に3個づつ合計6個の素子チップを直線状に配置させ複合ホール素子となした場合にあっても、支持体が占有する体積を変更せず、単に同一の基体に複数のホール素子を支持させるのみで複合化させたホール素子の数量に応じて合計されたホール出力電圧が得られる。この様な合算されたホール電圧を出力させるには、勿論、複合化されたホール素子を構成する各ホール素子が均一な磁束を感知できる、更には同時期に感知出来る様に各ホール素子を配置するのが肝要である。即ち、静止磁界に限らず、感知対象とする磁束が移動している場合にあっても、磁束の中心とホール素子の配置の中心とを一致させたうえで、磁束の移動中心から等距離を保つように各ホール素子を配置することが肝要である。

【0035】(実施例3)もう一つの実施態様として、同一の支持体にホール素子を合計4個配置した例を述べる。図5に複合化ホール素子の平面模式図を示す。同一の支持体(102)の一表面上に合計4個の単体のGaNAsホール素子(101)を配置させてある。また、この配置上の中心(109)と磁束の中心(110)とは一致させており、各ホール素子(101)は磁束の中心(110)から等距離になるよう配置されており、各単体ホール素子が均等な磁束を感知出来る様に配置してある。図5に示す態様は磁束が平行移動しながら各ホール素子(101)を垂直方向に貫く場合のホール素子の配置例を示してあるが、磁束の移動態様は直線移

10

20

30

40

50

12

動に限らず、磁束が或る一点から等距離を保ちながら円弧状の奇跡を描いて円運動している場合にあっても、各単体ホール素子が磁束を均等に感知できるようにすれば良い。具体的には回転移動を呈している磁束の中心と、各単体ホール素子の配置上の中心を一致させ、且つ磁束の中心から等距離に各ホール素子を配置せしめ、複合化ホール素子となせば良い。

【0036】また本例では、支持体の一表面上に4個のGaNAsホール素子を複合させたが、更に4個のホール素子を反対側の表面に配置することにより、合計8個のGaNAsホール素子からなる複合ホール素子を得ることができる。この場合も、磁束の運動の中心とホール素子の配置上の中心を一致させ、且つ磁束の中心から等距離の位置にホール素子を配置させる必要がある。

【0037】ここで、複合化のための支持体につき説明を加えるにGaNAsホール素子を配置させる支持体としてプリント配線を施したプリント基板を使用したが使用する支持体はこれに限定されることは無いに加え、支持体の両側に必ずしもホール素子を配置させる必要はなく、例えば基板支持体の片面側にのみホール素子を配置し、複合化させても支障はない。また、実施例に記載のホール素子の複合化の方法はGaNAsホール素子にのみ適用されるものではなく、ヒ化ガリウム(GaAs)、アンチモン化インジウム(InSb)やヒ化インジウム(InAs)等の化合物半導体ホール素子、或はまたシリコン(Si)やゲルマニウム(Ge)などの元素半導体からなるホール素子の複合化にも応用され得る。更には、上記実施例に記載された如くのマウントを施した後、複合化されたホール素子自体を半導体封止用のエポキシ樹脂等で囲繞し外周しても、また、支持体とホール素子とを併せて封止しても差し支えない。

【0038】

【発明の効果】ホール出力電圧を増幅させるための特殊な外部回路を付帯させる煩雑な必要性も生ぜず、単に単体のホール素子を磁場を均等に且つ同時に感知できる配置をもって複合化させるという簡単な方法に依り、素子としての占有体積の大型化を伴わずにホール出力電圧の増大が果たせる。従って、ホール電圧の高出力化が達成されたことにより例えばホール素子を用いた高精度でしかも小型の磁界強度測定子(プローブ)などが実現でき、産業界に於けるセンサー技術の高精度化を推進するなどの波及効果を有する。

【図面の簡単な説明】

【図1】本発明に係わる複合化されたホール素子の平面の概略図である。

【図2】図1に示す複合化ホール素子のA-A'方向に沿った垂直方向の概略断面図である。

【図3】ワイヤボンディング法により複合化されたホール素子の模式的な平面図である。

【図4】図3に示す複合化ホール素子のB-B'方向に

沿った垂直断面図である。

【図5】同一支持体の一表面に合計4個のホール素子を配置してなる複合ホール素子の一例を模式的に示す平面図である。

【符号の説明】

- (101) 単体ホール素子
- (102) 支持体
- (103) 入力用プリント配線
- (104) 出力用プリント配線

(105) ホール素子の入力電極

(106) ホール素子の出力電極

(107) ボンディングワイヤ

(108) ホール素子の中心

(109) ホール素子の配置上の中心

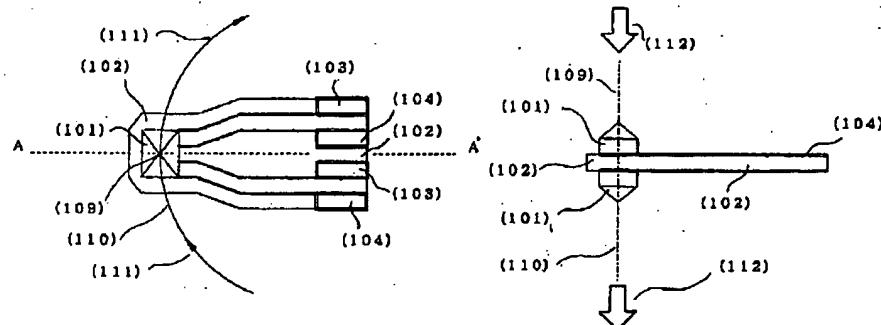
(110) 磁束の中心

(111) 磁束の移動方向

(112) 磁束の方向

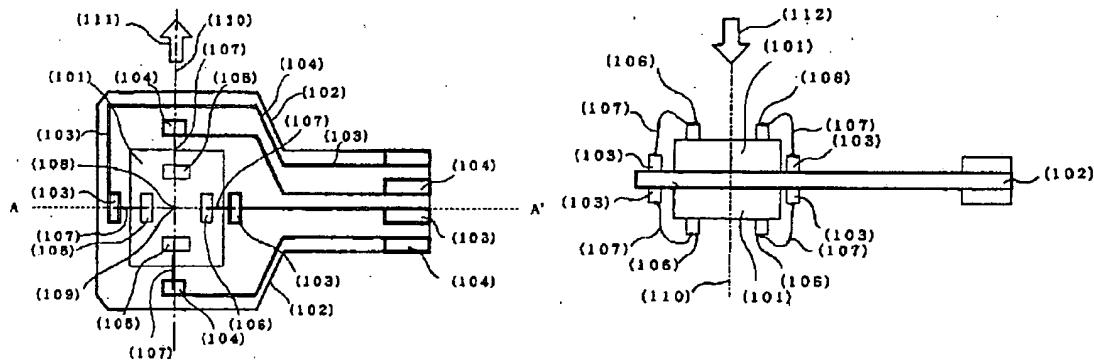
【図1】

【図2】



【図3】

【図4】



【図5】

